

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10199934 A

(43) Date of publication of application: 31 . 07 . 98

(51) Int. Cl

H01L 21/60

(21) Application number: 09003646

(71) Applicant: HITACHI LTD

(22) Date of filing: 13 . 01 . 97

(72) Inventor: OKUNAKA MASAHI  
OZEKI YOSHIO

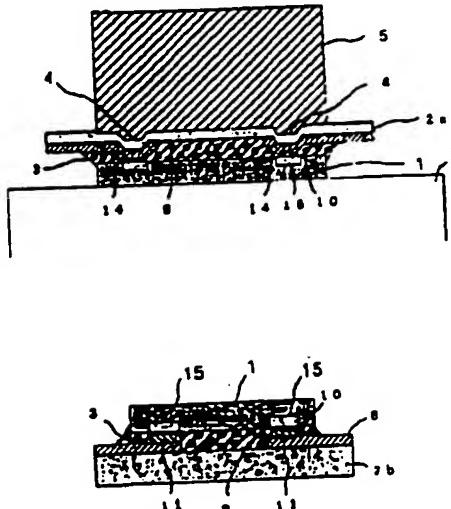
## (54) MOUNTING STRUCTURE OF SEMICONDUCTOR ELEMENT AND MOUNTING METHOD THEREOF

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To realize a flip-chip attach type semiconductor element mounting structure, using an anisotropically conductive film to reduce cost, without forming Au conductive film to reduce cost, without forming Au bumps on electrode pads of semiconductor elements.

**SOLUTION:** A flip-chip attach type semiconductor element mounting structure with semiconductor elements 1 mounted on a circuit board 2, using an anisotropically conductive film 3, comprises electrodes 15 arranged in parallel to constitute the semiconductor elements 1, without forming bumps for the electrodes and protrudent connection pads 11 arranged at positions mutually facing on the electrodes on mounting regions of the circuit board facing at the semiconductor elements 1. Each pad 11 is connected to each electrode 15 through conductive particles 10 existing in the anisotropically conductive film.

COPYRIGHT: (C)1998,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-199934

(43)公開日 平成10年(1998)7月31日

(51)Int.Cl.  
H 01 L 21/60

識別記号  
311

F I  
H 01 L 21/60

311 S

審査請求 未請求 請求項の数12 O.L (全10頁)

(21)出願番号 特願平9-3646

(22)出願日 平成9年(1997)1月13日

(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(72)発明者 奥中 正昭  
神奈川県横浜市戸塚区吉田町292番地株式  
会社日立製作所生産技術研究所内

(72)発明者 大関 良雄  
神奈川県横浜市戸塚区吉田町292番地株式  
会社日立製作所生産技術研究所内

(74)代理人 弁理士 高橋 明夫 (外1名)

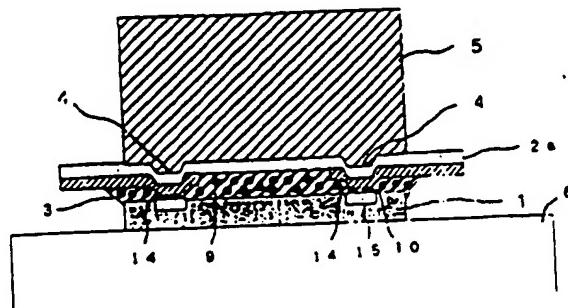
(54)【発明の名称】 半導体素子実装構造体及び半導体素子実装方法

(57)【要約】

【課題】半導体素子の電極パッドに金パンフを形成することなく、異方性導電フィルムを用いたフリップチップアタッチ実装方式を実現してコスト低減をはかった半導体素子実装構造体および半導体素子実装方法を提供することにある。

【解決手段】半導体素子1を異方性導電フィルム3により回路基板2に実装したフリップチップアタッチ方式の半導体素子実装構造体において、前記半導体素子1をパンフが形成されていない電極15を並設して構成し、前記半導体素子と対向する回路基板上の実装面領域において突起状の接続パッド部11、12、13を前記各電極1、12、13と前記各電極15の間を前記異方性導電フィルムに内在する導電粒子10で接続して構成したことを特徴とする。

図1



## 【特許請求の範囲】

【請求項1】半導体素子を異方性導電フィルムにより回路基板に実装したフリップチップアッッチ方式の半導体素子実装構造体において、前記半導体素子をバンプが形成されていない電極を複数並設して構成し、前記半導体素子と対向する回路基板上の実装面領域において突起状の接続パッド部を前記各電極に対向する位置に複数並設し、該各突起状の接続パッド部と前記各電極の間を前記異方性導電フィルムに内在する導電粒子で接続して構成したことを特徴とする半導体素子実装構造体。

【請求項2】半導体素子を異方性導電フィルムにより回路基板に実装したフリップチップアッッチ方式の半導体素子実装構造体において、前記半導体素子をバンプが形成されていない電極を複数並設して構成し、前記半導体素子と対向する回路基板上の実装面領域において接続パッド部を前記各電極に対する間隙を狭めて対向する位置に複数並設し、該各接続パッド部と前記各電極の間を前記異方性導電フィルムに内在する導電粒子で接続して構成したことを特徴とする半導体素子実装構造体。

【請求項3】半導体素子を異方性導電フィルムにより回路基板に実装したフリップチップアッッチ方式の半導体素子実装構造体において、前記半導体素子をバンプが形成されていない電極を複数並設して構成し、前記半導体素子と対向する回路基板上の実装面領域において複数の配線パターンの各々に接続された突起状の接続パッド部を前記各電極に対向する位置に複数並設し、該各突起状の接続パッド部と前記各電極の間を前記異方性導電フィルムに内在する導電粒子で接続して構成したことを特徴とする半導体素子実装構造体。

【請求項4】半導体素子を異方性導電フィルムにより回路基板に実装したフリップチップアッッチ方式の半導体素子実装構造体において、前記半導体素子をバンプが形成されていない電極を複数並設して構成し、前記半導体素子と対向する回路基板上の実装領域において複数の配線パターンの各々に接続され、局部的に変形させることによって突起した接続パッド部を前記各電極に対向する位置に複数並設し、該各突起した接続パッド部と前記各電極の間を前記異方性導電フィルムに内在する導電粒子で接続して構成したことを特徴とする半導体素子実装構造体。

【請求項5】半導体素子を異方性導電フィルムにより回路基板に実装したフリップチップアッッチ方式の半導体素子実装構造体において、前記半導体素子をバンプが形成されていない電極を複数並設して構成し、前記半導体素子と対向する回路基板上の実装領域において下層につながった接続パッド部のみを前記各電極に対向する位置に複数並設し、該各接続パッド部と前記各電極の間を前記異方性導電フィルムに内在する導電粒子で接続して構成したことを特徴とする半導体素子実装構造体。

【請求項6】バンフを形成していない電極を複数並設し

た半導体素子と、半導体素子の側に突起状に変形した導体で形成された接続パッド部を前記各電極と対向するよう複数並設した回路基板とを異方性導電フィルムを介して接続接着して構成したことを特徴とする半導体素子実装構造体。

【請求項7】フレキシブル回路基板に異方性導電フィルムを貼付ける異方性導電フィルム貼付工程と、該異方性導電フィルムを貼付けたフレキシブル回路基板を、バンプを形成していない電極を複数並設した半導体素子に対して位置合わせして搭載する搭載工程と、該搭載工程で半導体素子に対して搭載されたフレキシブル回路基板に対して前記各電極の配置に対応して形成された複数の突起を有する加熱ヘッドを押しつけることによってフレキシブル回路基板上に形成された導体を突起状に変形させて複数の接続パッド部を形成して該各接続パッド部と前記各電極との間を異方性導電フィルムに内在する導電粒子で接続する加熱ヘッド押付工程とを有することを特徴とする半導体素子実装方法。

【請求項8】バンフを形成していない電極を複数並設した半導体素子に異方性導電フィルムを貼付ける異方性導電フィルム貼付工程と、フレキシブル回路基板を、前記異方性導電フィルムを貼付けた半導体素子に対して位置合わせして搭載する搭載工程と、該搭載工程で半導体素子に対して搭載されたフレキシブル回路基板に対して前記各電極の配置に対応して形成された複数の突起を有する加熱ヘッドを押しつけることによってフレキシブル回路基板上に形成された導体を突起状に変形させて複数の接続パッド部を形成して該各接続パッド部と前記各電極との間を異方性導電フィルムに内在する導電粒子で接続する加熱ヘッド押付工程とを有することを特徴とする半導体素子実装方法。

【請求項9】バンフを形成していない電極を複数並設した半導体素子と、導体からなる突起を有する接続パッド部を複数並設した回路基板とを、異方性導電フィルムで接続接着して構成したことを特徴とする半導体素子実装構造体。

【請求項10】前記導体からなる突起を、導電性接着剤の硬化物で形成したことを特徴とする請求項9記載の半導体素子実装構造体。

【請求項11】前記導体からなる突起を、金属材料で形成したことを特徴とする請求項9記載の半導体素子実装構造体。

【請求項12】バンフを形成していない電極を複数並設した半導体素子と、ピアホール上に形成された接続パッド部を複数並設した回路基板とを、異方性導電フィルムで接続接着して構成したことを特徴とする半導体素子実装構造体。

【発明の詳細な説明】

【0001】

【発明の区分する技術分野】本発明は、異方性導電フィルム

3

ムを用いたフリップチップアタッチ方式で半導体素子を回路基板に接続実装した半導体素子実装構造体および半導体素子実装方法に関する。

## 【0002】

【従来の技術】民生機器、特にノートパソコン、携帯電話、PHS、PDAなどの携帯情報端末機器においては高密度実装の必要性が益々高くなっている。これに対応すべくこれらの機器における半導体素子の実装は、従来のパッケージ半導体実装から、半導体素子を直接基板に実装する、いわゆるペアチップ実装方式が主流になりつつある。また、機器の小型化にともない、カメラ、スピーカーの例からわかるように実装部材の種類、組合せ、組立て、が複雑になり基板としてフレキシブルプリント基板も多用されている。製品の高機能化、高密度実装化に対応するために、このフレキシブルプリント基板にも半導体素子を実装する必要のある場合もくなっている。

【0003】従来のペアチップ実装方法は、(1)半導体チップ21をフェースアップで回路基板22に接着し、半導体チップ21と回路基板22のパッド間を金線23で接続し、さらにボッティング樹脂24で封止する方法(図12に示す。)と、(2)はんだ、導電性接着剤、異方性導電フィルムなどを接続材料とし、チップをフェースダウンで回路基板に接続接着する方法(フリップチップアタッチ方式)がある。

【0004】前者の方法はチップの面積以外にワイヤボンディング用のパッド面積が必要であるのに比べ、後者の方法は回路基板22の必要搭載面積はチップサイズのみであり、究極の高密度実装方式であると考えられ、下記のようなフリップチップアタッチ方式が提案されている。

【0005】(2-1)はんだ方式：半導体チップ21のアルミ電極25上にバリアメタル26を形成し、回路基板22と半導体チップ21とをはんだ27で接続する。次いで半導体チップ21と回路基板22との隙間に樹脂28を充填硬化する(図13に示す。)。

【0006】(2-2)導電性接着剤方式：半導体チップ21のアルミ電極25上にワイヤバンプ方式で金パンプ29を形成する。つぎに、金パンプ29の先端に導電性接着剤30を塗布し回路基板22に接着する。最後に半導体チップ21と回路基板22との隙間に樹脂28を充填硬化する(図14に示す。)。

【0007】(2-3)異方性導電フィルム方式：アルミ電極25上にワイヤバンプ方式、メッキ法などで金パンプ29を形成した半導体チップ21と回路基板22とを異方性導電フィルム31を介して加熱圧着する(図15に示す。)。

【0008】以上のフリップチップアタッチ方式のうち、異方性導電フィルム方式は、工程数が少なく工完時間が短い点で最も有利な方法である。

【0009】この異方性導電フィルム方式は接続部に

を図16に示す。異方性導電フィルムを回路基板22の接続端子部に貼り付ける。次に、ワイヤバンプ法、メッキ法などによりアルミ電極25上に金パンプ29を形成した半導体チップ21を位置合わせ後、加熱ヘッドで半導体チップ21を回路基板22に圧着する。この加熱圧着により、チップの金パンプ電極29と回路基板の接続パッドとが導電粒子を介して電気的に接続される。接続部以外の導電粒子は圧力を受けないため元の分散状態を保ったままであり隣接電極間の絶縁性が確保される。

## 【0010】

【発明が解決しようとする課題】上記したように、異方性導電フィルムによる半導体素子のフリップチップアタッチ実装方式は、工程数が少なくまた工完時間も短かく、工業的に有利で実用性の高い方式である。しかしながら、従来の方法では半導体素子の電極パッドに金パンプを形成する必要が生じ、コスト高になるという課題を有していた。

【0011】本発明の目的は、上記課題を解決すべく、半導体素子の電極パッドに金パンプを形成することなく、異方性導電フィルムを用いたフリップチップアタッチ実装方式を実現してコスト低減をはかった半導体素子実装構造体および半導体素子実装方法を提供することにある。

## 【0012】

【課題を解決するための手段】上記目的を達成するためには、本発明は、半導体素子を異方性導電フィルムにより回路基板に実装したフリップチップアタッチ方式の半導体素子実装構造体において、前記半導体素子をパンプが形成されていない電極を複数並設して構成し、前記半導体素子と対向する回路基板上の実装面領域において突起状の接続パッド部を前記各電極に対向する位置に複数並設し、該各突起状の接続パッド部と前記各電極の間を前記異方性導電フィルムに内在する導電粒子で接続して構成したことを特徴とする半導体素子実装構造体である。

【0013】また本発明は、半導体素子を異方性導電フィルムにより回路基板に実装したフリップチップアタッチ方式の半導体素子実装構造体において、前記半導体素子をパンプが形成されていない電極を複数並設して構成し、前記半導体素子と対向する回路基板上の実装面領域において接続パッド部を前記各電極に対する間隙を狭めて対向する位置に複数並設し、該各接続パッド部と前記各電極の間を前記異方性導電フィルムに内在する導電粒子で接続して構成したことを特徴とする半導体素子実装構造体である。

【0014】また本発明は、半導体素子を異方性導電フィルムにより回路基板に実装したフリップチップアタッチ方式の半導体素子実装構造体において、前記半導体素子をパンプが形成されていない電極を複数並設して構成し、前記半導体素子と対向する回路基板上の実装面領域において複数の配線パターンごとに接続された突起状

の接続パッド部を前記各電極に対向する位置に複数並設し、該各突起状の接続パッド部と前記各電極の間を前記異方性導電フィルムに内在する導電粒子で接続して構成したことを特徴とする半導体素子実装構造体である。

【0015】また本発明は、半導体素子を異方性導電フィルムにより回路基板に実装したフリップチップアッヂ方式の半導体素子実装構造体において、前記半導体素子をバンプが形成されていない電極を複数並設して構成し、前記半導体素子と対向する回路基板上の実装領域において複数の配線パターンの各々に接続され、局部的に変形させることによって突起した接続パッド部を前記各電極に対向する位置に複数並設し、該各突起した接続パッド部と前記各電極の間を前記異方性導電フィルムに内在する導電粒子で接続して構成したことを特徴とする半導体素子実装構造体である。

【0016】また本発明は、半導体素子を異方性導電フィルムにより回路基板に実装したフリップチップアッヂ方式の半導体素子実装構造体において、前記半導体素子をバンプが形成されていない電極を複数並設して構成し、前記半導体素子と対向する回路基板上の実装領域において下層につながった接続パッド部のみを前記各電極に対向する位置に複数並設し、該各接続パッド部と前記各電極の間を前記異方性導電フィルムに内在する導電粒子で接続して構成したことを特徴とする半導体素子実装構造体である。

【0017】また本発明は、バンプを形成していない電極を複数並設した半導体素子と、半導体素子の側に突起状に変形した導体で形成された接続パッド部を前記各電極と対向するように複数並設した回路基板とを異方性導電フィルムを介して接続接着して構成したことを特徴とする半導体素子実装構造体である。

【0018】また本発明は、フレキシブル回路基板に異方性導電フィルムを貼付ける異方性導電フィルム貼付工程と、該異方性導電フィルムを貼付けたフレキシブル回路基板を、バンプを形成していない電極を複数並設した半導体素子に対して位置合わせして搭載する搭載工程と、該搭載工程で半導体素子に対して搭載されたフレキシブル回路基板に対して前記各電極の配置に対応して形成された複数の突起を有する加熱ヘッドを押しつけることによってフレキシブル回路基板上に形成された導体を突起状に変形させて複数の接続パッド部を形成して該各接続パッド部と前記各電極との間を異方性導電フィルムに内在する導電粒子で接続する加熱ヘッド押付工程とを有することを特徴とする半導体素子実装方法である。

【0019】また本発明は、バンプを形成していない電極を複数並設した半導体素子に異方性導電フィルムを貼付ける異方性導電フィルム貼付工程と、フレキシブル回路基板を、前記異方性導電フィルムを貼付けた半導体素子に対して位置合わせして搭載する搭載工程と、該搭載工程で半導体素子に対して搭載されたフレキシブル回路

基板に対して前記各電極の配置に対応して形成された複数の突起を有する加熱ヘッドを押しつけることによってフレキシブル回路基板上に形成された導体を突起状に変形させて複数の接続パッド部を形成して該各接続パッド部と前記各電極との間を異方性導電フィルムに内在する導電粒子で接続する加熱ヘッド押付工程とを有することを特徴とする半導体素子実装方法である。

【0020】また本発明は、バンプを形成していない電極を複数並設した半導体素子と、導体からなる突起を有する接続パッド部を複数並設した回路基板とを、異方性導電フィルムで接続接着して構成したことを特徴とする半導体素子実装構造体である。

【0021】また本発明は、前記半導体素子実装構造体において、前記導体からなる突起を、導電性接着剤の硬化物で形成したことを特徴とする。

【0022】また本発明は、前記半導体素子実装構造体において、前記導体からなる突起を、金属材料で形成したことを特徴とする。

【0023】また本発明は、バンプを形成していない電極を複数並設した半導体素子と、ピアホール上に形成した接続パッド部を複数並設した回路基板とを、異方性導電フィルムで接続接着して構成したことを特徴とする半導体素子実装構造体である。

【0024】以上説明したように前記構成によれば、半導体素子に並設された多数の電極上に金バンプを形成することなく、半導体素子に並設された多数の電極の各々と回路基板に前記電極に対応させて並設された接続パッド部との間ににおいて主に圧力を受けるようにして異方性導電フィルムに内在する導電粒子によって確実に圧着接続して低抵抗で接続することができ、極めて低成本で高信頼性を有する半導体ペアチップ実装を実現することができる。即ち半導体素子が対向する実装面領域における電極と接続パッド部とが対向する接続部においてのみ導電粒子が加圧され、この接続部以外の箇所において導電粒子が加圧されないので、良好な低抵抗で接続することができる。

【0025】

【発明の実施形態】本発明に係るバンプを形成していない半導体素子（以下では、バンプレス半導体チップと記す）を異方性導電フィルムを用いて回路基板にフリップチップアッヂ実装する方式（以下では、バンプレスのフリップチップアッヂ実装方式と記す）の実施の形態について図を用いて説明する。

【0026】まず本発明に係る第1の実施の形態について図1～図7を用いて説明する。

【0027】本第1の実施の形態は、フレキシブルプリント基板とバットレス半導体チップを異方性導電フィルムを介して加熱圧着する際に、加熱圧着ヘッドの先端部に、バットレス半導体チップの電極位置、サイズに対応する突起を形成しておき、電極位置のみを「印加してハッ

7

ドレス半導体チップをフレキシブルプリント基板に異方性導電フィルムでペアチップ実装することである。

【0028】図3には、本発明に係る第1の実施の形態で用いる加熱圧着ヘッドの一実施の形態を示す斜視図である。図4は、加熱圧着ヘッドに形成された突起を角形に形成した場合を示す部分拡大図であり、図5は、加熱圧着ヘッドに形成された突起を円形に形成した場合を示す部分拡大図である。即ち、本発明に係る加熱圧着ヘッド5の全体の大きさは、使用するバンプレス半導体チップ(バンプレス半導体素子)1の大きさとほぼ同じか、もしくは少し大きい程度に作られる。このヘッド5の先端部には、バンプレス半導体チップ1に配置されたA1等の電極15に対応して凸形状の突起4が必要数形成される。この突起4のサイズは、半バンプレス導体チップ1の電極15のサイズより多少大きくても差し支えないが、あまりにも大きい場合には接続に不具合が生じる。従って、突起4のサイズは、バンプレス半導体チップ1の電極15のサイズ以下であることが好ましい。突起4の高さは、使用するフレキシブルプリント基板2aのトータルフィルム厚(ベース材、カバー材、銅箔配線パターン)により異なるが、一般的には0.003mm~0.3mm程度が好ましい。一方、突起4の高さが、使用するフレキシブルプリント基板2aのトータルフィルム厚より厚くなると、加熱圧着ヘッド5とフレキシブルプリント基板2aとが接触しなくなるため、熱が異方性導電フィルム3に伝わらず、エポキシ樹脂が硬化しない。従って、加熱圧着ヘッド5に形成された突起4の高さは、使用するフレキシブルプリント基板2aのトータルフィルム厚以下とすることが好ましい。ヘッドの突起4の形状についてはとくに制限ではなく、図4に示す角形4a、図5に示す円形4b、橢円形などから選択することができる。また、この突起4には必要に応じてテープをつけることもできる。

【0029】また加熱圧着ヘッド5における突起4はエッチング法などにより容易に製作することができる。

【0030】次に、バンプレスのフリップチップアッテ実装方式でバンプレス半導体チップ1を回路基板であるフレキシブルプリント基板2aに接続実装する方法について説明する。

【0031】フレキシブル基板2aは、フレキシブル基材7上に配線パターンSが形成されて構成される。そして各配線パターンSの端部に接続パッド部が形成される。

【0032】異方性導電フィルム3は、未硬化のエポキシ樹脂9の中に導電粒子10を分散させたフィルムで形成される。この導電粒子として、ニッケルなどの金属粒子、または金メッキが施されたニッケルなどの金属粒子、またはプラスチック粒子にニッケル皮膜及び金メッキ皮膜を形成した粒子等が多く用いられる。

【0033】上記加熱圧着ヘッド5による加熱圧着条件

は、使用する異方性導電フィルム3により多少異なるが約170~200°C、約5~20秒、約5~400MPa(突起24のセンタ部単位面積あたりの圧力)が好ましい。圧力が約5MPaより低い場合には、異方性導電フィルム3の導電粒子が変形せず、良好な接続状態にならない場合がある。また、圧力が約400MPaより高い場合には、バンプレス半導体チップ1を破壊する場合がある。また、必要に応じて加熱圧着ヘッド5とフレキシブルプリント基板2aとの間に、シリコン樹脂、テフロン樹脂、金属フィルム等のクッション材を挿入して圧着する方法をとることもできる。

【0034】上記加熱圧着ヘッド5による加熱圧着方法としては、次の2通りがあり、いずれの方法も採用可能である。

【0035】(a) 図6に示すように、バンプレス半導体チップ1に異方性導電フィルム3を貼付けておき、これをフレキシブルプリント基板2aに搭載し、上記加熱圧着ヘッド5を用いて加熱圧着する方法。

【0036】(b) 図7に示すように、フレキシブルプリント基板2aに異方性導電フィルム3を貼付けておき、これにバンプレス半導体チップ1を搭載し、上記加熱圧着ヘッド5を用いて加熱圧着する方法。

【0037】図1には、上記加熱圧着ヘッド5による加熱圧着状態を示す。図1に示すように、異方性導電フィルム3をバンプレス半導体チップ1またはフレキシブルプリント基板2aに貼付けておき、次に上記バンプレス半導体チップ1を定盤6上に位置合わせ搭載し、次に、突起4をA1等のチップ電極15に相当する位置に設けた加熱圧着ヘッド5を用いて、フレキシブルプリント基板2aの側からバンプレス半導体チップ1の側に、約170~200°C、約5~20秒、約5~400MPaの加熱圧着条件で加熱圧着すると、フレキシブルプリント基板2a上のチップ電極15に対向する部分において突起4の形状に倣って基材7と共に配線パターン(溝体)8の接続パッド部が突起状に変形し、この変形した突起状の接続パッド部14とチップ電極15との間において導電粒子10によって低い抵抗値で電気的に接続されると共にエポキシ樹脂9が硬化されて実装されることになる。そして、この接続部以外の導電粒子は圧力を受けないため元の分散状態を保ったままであり、隣接電極間の絶縁性について確保される。このようにして、図2に示す半導体素子実装構造を得ることができる。図2に示すようにフレキシブルプリント基板2aが凹に変形した構造となるが、实用上特に問題はない。

【0038】次に、以上説明した第1の実施の形態について、更に具体的に実施例として説明する。

【0039】

【実施例1】バッドレス半導体チップとして次に示す試験チップを用いた。

50 【0040】サイズ：ドリル角

厚さ: 0.45 mm

接続パッドサイズ: 0.105×105 mm

接続パッドピッチ: 0.13 mm

接続配置: 周辺4辺

フレキシブルプリント基板2aには、2層配線構造のフレキシブル基板(約0.075 mm厚)を用いた。銅配線は厚さ約0.035 mmを使用した。チップ接続の配線幅は約0.09 mm、配線間の間隔は約0.04 mmとした。接続抵抗を4端子法で測定できるよう上記試験チップ1及びフレキシブルプリント基板2aの配線を設計した。

【0041】フレキシブルプリント基板2aのチップ接続領域に、0.2~0.3 μm程度の厚さの金メッキが施された直径約0.008 mmのニッケル導電粒子と未硬化エポキシ樹脂と(配合割合は体積比で10:90~20:80程度)からなる異方性導電フィルム3を貼り付けた。次に上記パッドレス半導体チップ1を位置合わせ搭載した。次に、約0.08 mm角、高さ約0.075 mmの突起4をチップ電極に相当する位置に設けた加熱圧着ヘッド5を用いて、フレキシブルプリント基板の側からチップの側に加熱加圧した。その結果配線パターン(導体)8の接続パッド部が突起状に変形し、この変形した突起状の接続パッド部14とチップ電極15との間ににおいて導電粒子10によって接続されると共にエポキシ樹脂9が硬化されて実装されることになる。圧着温度は約200°C、時間は約20秒、突起4の先端部単位面積あたりの圧力は約100 MPaで行なった。接続端子の接続抵抗は平均30 mΩ程度であり十分に低い抵抗値が得られた。

#### 【0042】

【実施例2】パッドレス半導体チップ1およびフレキシブルプリント基板は、上記実施例1と同一の部材を用いた。半導体チップの電極側の全面に、0.2~0.3 μm程度の厚さの金メッキを施した直径約0.008 mmのニッケル導電粒子と未硬化エポキシ樹脂と(導電粒子と未硬化エポキシ樹脂との配合割合は体積比で10:90~20:80程度)からなる異方性導電フィルム3を貼り付けた。次に上記チップ1をフレキシブルプリント基板2aに位置合わせ搭載した。次に、直径約0.08 mm、高さ約0.050 mmの突起4をチップ電極に相当する位置に設けた加熱圧着ヘッド5を用いて、フレキシブルプリント基板の側からチップの側に加熱加圧した。その結果配線パターン(導体)8の接続パッド部が突起状に変形し、この変形した突起状の接続パッド部14とチップ電極15との間ににおいて導電粒子10によって接続されると共にエポキシ樹脂9が硬化されて実装されることになる。圧着温度は約200°C、時間は約20秒、突起4の先端部単位面積あたりの圧力は約200 MPaで行なった。接続端子の接続抵抗は平均30 mΩ程度であり十分に低い抵抗値が得られた。

#### 【0043】

【実施例3】パッドレス半導体チップ1およびフレキシブルプリント基板2aは、上記実施例1と同一の部材を用いた。フレキシブルプリント基板のチップ接続領域に、0.2~0.3 μm程度の厚さの金メッキを施した直径約0.008 mmのニッケル導電粒子と未硬化エポキシ樹脂と(導電粒子と未硬化エポキシ樹脂との配合割合は体積比で10:90~20:80程度)からなる異方性導電フィルム3を貼り付けた。次に上記チップ1を位置合わせ搭載した。次に、直径約0.08 mm、高さ約0.050 mmの突起をチップ電極に相当する位置に設けた加熱圧着ヘッド5を用いて、フレキシブルプリント基板の側からチップの側に加熱圧着した。その結果配線パターン(導体)8の接続パッド部が突起状に変形し、この変形した突起状の接続パッド部14とチップ電極15との間ににおいて導電粒子10によって接続されると共にエポキシ樹脂9が硬化されて実装されることになる。圧着温度は約200°C、時間は約20秒、突起4の先端部単位面積あたりの圧力は約200 MPaで行なった。接続端子の接続抵抗は平均30 mΩ程度であり十分に低い抵抗値が得られた。

#### 【0044】

【実施例4】パッドレス半導体チップ1およびフレキシブルプリント基板2aは、上記実施例1と同一の部材を用いた。フレキシブルプリント基板のチップ接続領域に、直径約0.005 mmのプラスチック粒子の表面にニッケルメッキ皮膜(厚さ0.3~0.6 μm程度)および金メッキ皮膜(厚さ0.2~0.1 μm程度)を形成した導電粒子と未硬化エポキシ樹脂と(導電粒子と未硬化エポキシ樹脂との配合割合は体積比で10:90~20:80程度)からなる異方性導電フィルム3を貼り付けた。次に上記チップ1を位置合わせ搭載した。次に、約0.08 mm角、高さ約0.08 mmの突起4をチップ電極に相当する位置に設けた加熱圧着ヘッド5を用いて、フレキシブルプリント基板の側からチップの側に加熱圧着した。その結果配線パターン(導体)8の接続パッド部が突起状に変形し、この変形した突起状の接続パッド部14とチップ電極15との間ににおいて導電粒子10によって接続されると共にエポキシ樹脂9が硬化されて実装されることになる。圧着温度は約200°C、時間は約20秒、突起4の先端部単位面積あたりの圧力は約200 MPaで行なった。接続端子の接続抵抗は平均35 mΩ程度であり十分に低い抵抗値が得られた。

【0045】次に本発明に係る第2の実施の形態について図8~図11を用いて説明する。

【0046】本第2の実施の形態は、回路基板2c上に形成される配線パターン8が異方性導電フィルム3が配置される領域まで入り込んで設置される場合には上記配線パターンの接続パッド部に導体からなる突起11を形成するか、回路基板2c上に形成される配線パターン8

11

が異方性導電フィルム3が配置される領域まで入り込まないよう設置する場合には上記配線パターン8と下層を通して接続された独立した接続パッド部12を形成することである。図8には、回路基板2bに形成された銅等の配線パターン上の接続パッド部に導体からなる突起11を形成した実施の形態を示す。また、図9には、バンプレス半導体チップ1を異方性導電フィルム3を用いて回路基板2bに加熱圧着して接続実装したときの断面形状を示す。図9に示すように、回路基板2b上において上記配線パターン8の接続パッド部に導体からなる突起11を設けることによりチップ電極15と突起11との間以外での導電粒子10が加圧されることはなくバンプレス半導体チップ1と基板2bとの間での直接接触を防止することができる。

【0047】ところで、回路基板2b上への突起11の形成は、多数個に裁断する前に一括形成が可能であるため、半導体チップへのバンプ形成と比べて極めて低コストとなる。この突起11としては、銅、ニッケルなどの金属材料、あるいは銀、金、銅、ニッケルなどの導電性接着剤の硬化物を用いる。

【0048】また、図10に示すように多層プリント基板2cでは内層配線からビアホールを介して表面層に配線し、この独立した配線自体を接続パッド部（導体からなる突起）12とすることができる。この方法では、独立した接続パッド部（導体からなる突起）12を形成のために新たな工程を要しない。この実施の形態では、多層プリント基板2cの表面に配線パターン8が形成され、上記接続パッド部（導体からなる突起）12の厚さを配線パターン8の厚さとほぼ同様にする場合には、異方性導電フィルム3が設置される領域に配線パターン8が入り込まないようにして、チップ電極15と接続パッド部12との間以外では、導電粒子10が加圧されることがないので、チップ電極15と接続パッド部12との間ににおいて導電粒子10が加圧されて低い抵抗値で接続することが可能となる。

【0049】以上述べたように、異方性導電フィルム3によるフリップチップアタッチ実装において、回路基板2b、2cの接続パッド部に導体からなる突起11、12を形成することにより、一層の低コスト化を実現することができる。

【0050】回路基板2bの接続パッド部に金属材料からなる突起11は、プリント配線板製造工程において部分メッキ方により容易に形成することができる。導電性接着剤の硬化物からなる突起11は、プリント配線板製造工程において導電性接着剤をスクリーン印刷あるいはマイクロディスペンス塗布により電極パッド部に供給し、これを加熱処理することにより容易に形成することができる。

【0051】回路基板2cの接続パッド部に金属材料からなる突起12を形成する別の方法は、図10、および

12

図11に示すように、多層プリント配線板2cの場合、スルーホール13を通して内層と電気的に導通のある独立した接続パッド部12を表面層に形成する方法である。この方法は、突起を形成するためのあらたなプロセスを必要としないというメリットがある。

【0052】回路基板2b、2cの接続パッド部に設ける導体からなる突起11、12のサイズは、半導体チップの電極15のサイズより多少大きても差し支えないが、あまりにも大きい場合には接続に不都合が生じる。従って、突起11、12のサイズは半導体チップの電極15のサイズ以下であることが好ましい。また、導体からなる突起11、12の高さは、約0.003mm～0.3mmが好ましい。高さが約0.003mm以下の場合には、電極部以外の箇所でも半導体チップ1と回路基板2b、2cとが異方性導電フィルム3の導電粒子10を介して接続する問題が生じる。突起11、12の高さが0.3mm以上になると1回の工程で突起を形成することが困難になると共に、接続ピッチが狭い場合に隣接パッドでショートを起こす問題が生じる。導体からなる突起11、12の形状は、円形、角形などとくに限定されない。本発明に用いる回路基板2b、2cは、リジットプリント基板、フレキシブルプリント基板、セラミック基板、薄膜基板などの使用が可能で、特に限定されない。

【0053】次に、以上説明した第2の実施の形態について、更に具体的に実施例として説明する。

【0054】

【実施例5】バンプレス半導体チップ1として次に示す試験チップを用いた。

【0055】サイズ：8mm角

厚さ：0.45mm

接続パッドサイズ：0.105×105mm

接続パッドピッチ：0.13mm

接続配置：周辺4辺

回路基板2bとして6層ガラスエポキシ基板(FR4)を用い、チップ電極15に対応する接続用配線(銅厚さ：約0.012mm)8を形成した。配線の幅は約0.09mm、配線間の間隔は約0.04mmとした。接続抵抗を4端子法で測定できるよう上記試験チップ及び回路基板の配線を設計した。

【0056】上記回路基板2bの接続端子部にスクリーン印刷法で熱硬化性導電性接着剤(Agベースト)パターンを形成し、約150°Cで1時間硬化させ、約0.08mm角、高さ約0.04mmの突起11を形成した。次に、この回路基板2bのチップ接続領域に、実施例1～3と同様な直径0.008mmの金メッキニッケル導電粒子と未硬化エポキシ樹脂とからなる異方性導電フィルム3を貼り付けた。次に上記バンプレス半導体チップ1を位置合わせ搭載後該チップを加熱ヘッドで圧着した。圧着温度は約200°C、圧力は約6ト�、時間は約

13

20秒で行った。接続端子の接続抵抗は平均 $1.0\text{m}\Omega$ 程度であり、十分に低い抵抗値が得られた。

【0057】

【実施例6】バンプレス半導体チップ1は実施例4と同一チップを用いた。回路基板2bとして4層ガラスエポキシ基板(FR4)を用い、チップ電極15に対応する接続用配線(銅厚さ:約0.012mm)8を形成した。配線の幅は約0.09mm、配線間の間隔は約0.04mmとした。この基板のチップ接続パッド部には、さらに金/ニッケル/銅からなる約0.08mm角、高さ約0.015mmの突起11をメッキ法で形成した。次に、この回路基板2bのチップ接続領域に、実施例1～3と同様な直径0.008mmの金メッキニッケル導電粒子と未硬化エポキシ樹脂とからなる異方性導電フィルム3を貼り付けた。次に上記バンプレス半導体チップ1を位置合わせ搭載後該チップを加熱ヘッドで圧着した。圧着温度は約200°C、圧力は約6kg、時間は約20秒で行った。接続端子の接続抵抗は平均 $1.0\text{m}\Omega$ 程度であり十分に低い抵抗値が得られた。

【0058】

【実施例7】バンプレス半導体チップ1は実施例4と同一チップを用いた。回路基板2bとして転写法により作成した4層ガラスエポキシ基板を用いた。チップ接続領域における配線幅は約0.09mm、配線間隔は約0.04mmとした。転写法による基板は、チップ接続パッド部に金/ニッケルからなる約0.08mm角、高さ約0.025mmの突起11が形成されている。次に、この回路基板2bのチップ接続領域に、実施例1～3と同様な直径約0.008mmの金メッキニッケル導電粒子と未硬化エポキシ樹脂とからなる異方性導電フィルム3を貼り付けた。次に上記バンプレス半導体チップ1を位置合わせ搭載後該チップを加熱ヘッドで圧着した。圧着温度は約200°C、圧力は約6kg、時間は約20秒で行った。接続端子の接続抵抗は平均 $1.0\text{m}\Omega$ 程度であり十分に低い抵抗値が得られた。

【0059】

【実施例8】バンプレス半導体チップ1は実施例4と同一チップを用いた。回路基板2bとして6層セラミック基板を用い、チップ電極に対応する接続用配線を形成した。配線幅は約0.09mm、配線間隔は約0.04mmとした。この基板の表面配線層のチップ接続パッド部には、さらに金/ニッケル/銅からなる約0.08mm角、高さ約0.015mmの突起11をメッキ法で形成した。次に、この回路基板のチップ接続領域に、実施例1～3と同様な直径約0.008mmの金メッキニッケル導電粒子と未硬化エポキシ樹脂とからなる異方性導電フィルム3を貼り付けた。次に上記バンプレス半導体チップ1を位置合わせ搭載後該チップを加熱ヘッドで圧着した。圧着温度は約200°C、圧力は約6kg、時間は約20秒で行った。接続端子の接続抵抗は平均 $1.0\text{m}\Omega$ 程度であり十分に低い抵抗値が得られた。

10

程度であり十分に低い抵抗値が得られた。

【0060】

【実施例9】バンプレス半導体チップ1、回路基板2bは実施例5と同一部材を用いた。

【0061】この回路基板2bのチップ接続領域に、実施例4と同様な直径約0.005mmのプラスチック粒子の表面に金皮膜およびニッケル皮膜を形成した導電粒子と未硬化エポキシ樹脂とからなる異方性導電フィルムを貼り付けた。次に上記バンプレス半導体チップ1を位置合わせ搭載後該チップを加熱ヘッドで圧着した。圧着温度は約200°C、圧力は約6kg、時間は約20秒で行った。接続端子の接続抵抗は平均 $1.5\text{m}\Omega$ 程度であり十分に低い抵抗値が得られた。

【0062】

【実施例10】バンプレス半導体チップ1は実施例4と同一チップを用いた。回路基板2bとして2層配線フレキシブルプリント基板を用いた。銅配線厚は約0.035mm、チップ接続領域における配線幅は約0.09mm、配線間隔は約0.04mmとした。この基板のチップ接続パッド部には、さらに金/ニッケル/銅からなる約0.06mm角、高さ約0.012mmの突起11をメッキ法で形成した。次に、この回路基板のチップ接続領域に、実施例1～3と同様な直径約0.008mmの金メッキニッケル導電粒子と未硬化エポキシ樹脂とからなる異方性導電フィルム3を貼り付けた。次に上記バンプレス半導体チップ1を位置合わせ搭載後該チップを加熱ヘッドで圧着した。圧着温度は約200°C、圧力は約6kg、時間は約20秒で行った。接続端子の接続抵抗は平均 $1.0\text{m}\Omega$ 程度であり十分に低い抵抗値が得られた。

20

約0.06mm角、高さ約0.012mmの突起11をメッキ法で形成した。次に、この回路基板のチップ接続領域に、実施例1～3と同様な直径約0.008mmの金メッキニッケル導電粒子と未硬化エポキシ樹脂とからなる異方性導電フィルム3を貼り付けた。次に上記バンプレス半導体チップ1を位置合わせ搭載後該チップを加熱ヘッドで圧着した。圧着温度は約200°C、圧力は約6kg、時間は約20秒で行った。接続端子の接続抵抗は平均 $1.0\text{m}\Omega$ 程度であり十分に低い抵抗値が得られた。

30

【0063】

【実施例11】バンプレス半導体チップ1は実施例4と同一チップを用いた。回路基板2cとして4層ガラスエポキシ基板(FR4)を用い、チップ電極15に対応する接続パッド部12はスルーホール13を介して内層から引き回した(図10、図11に示す)。接続パッド部12の表面には、ニッケル及び金メッキを施した。次に、この回路基板のチップ接続領域に、実施例1～3と同様な直径約0.008mmの金メッキニッケル導電粒子と未硬化エポキシ樹脂とからなる異方性導電フィルム3を貼り付けた。次に上記バンプレス半導体チップ1を位置合わせ搭載後チップを加熱ヘッドで圧着した。圧着温度は約200°C、圧力は約6kg、時間は約20秒で行った。接続端子の接続抵抗は平均 $1.0\text{m}\Omega$ 程度であり十分に低い抵抗値が得られた。

40

【0064】

【発明の効果】本発明によれば、極めて低コストで、高信頼性を有する半導体ベアチップ実装を実現することが可能となり、工業的効果が大きい。

50

【0065】また本発明によれば、バンプレス半導体チ

15

ップを回路基板に異方性導電フィルムを用いて短絡することなく低抵抗で接続して極めて低成本で、高信頼性を有する半導体ペアチップ実装を実現することができる効果を奏する。

## 【図面の簡単な説明】

【図1】本発明に係るバンプレスのフリップチップアタッチ実装方式の第1の実施の形態を示す断面図である。

【図2】図1に示す実装方式で実装された半導体素子実装構造体を示す断面図である。

【図3】図1に示す加熱圧着ヘッドを示す斜視図である。

【図4】加熱圧着ヘッドに形成する突起の形状の一実施の形態を示す拡大図である。

【図5】加熱圧着ヘッドに形成する突起の形状の他の実施の形態を示す拡大図である。

【図6】図1に示す第1の実施の形態において異方性導電フィルムをバンプレス半導体チップに貼り付ける場合を示した図である。

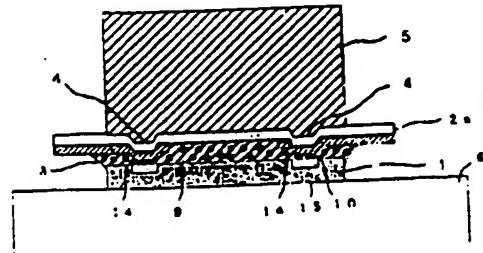
【図7】図1に示す第1の実施の形態において異方性導電フィルムをフレキシ回路基板に貼り付ける場合を示した図である。

【図8】本発明に係るバンプレスのフリップチップアタッチ実装方式の第2の実施の形態を説明するための回路基板に形成した独立した接続パッド部の一実施の形態を示す斜視図である。

【図9】図8に示す回路基板上に形成された接続パッド部を用いて実装した半導体素子実装構造体を示す断面図

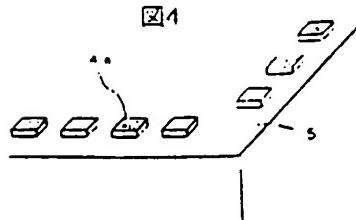
【図1】

図1



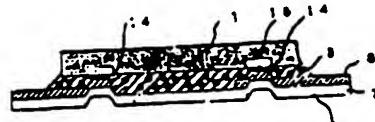
【図4】

図4



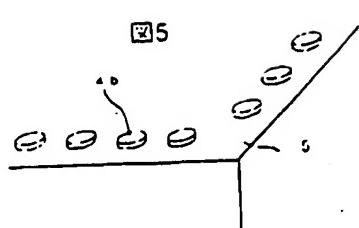
【図2】

図2



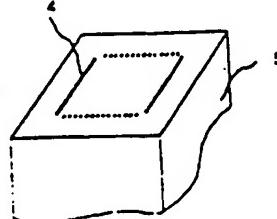
【図5】

図5

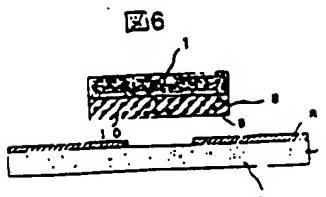


【図3】

図3



【図6】



である。

【図10】本発明に係るバンプレスのフリップチップアタッチ実装方式の第2の実施の形態を説明するための回路基板に形成した独立した接続パッド部の他の実施の形態を示す斜視図である。

【図11】図10に示す回路基板上に形成された接続パッド部を用いて実装した半導体素子実装構造体を示す断面図である。

【図12】従来のワイヤボンド法によるペアチップ実装構造を示す図である。

【図13】従来の金バンプと半田によるペアチップ実装構造を示す図である。

【図14】従来の金バンプと導電性接着剤によるペアチップ実装構造を示す図である。

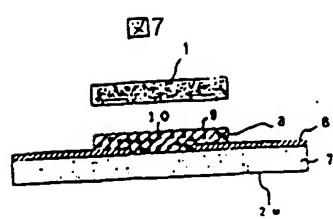
【図15】従来の金バンプと異方性導電フィルムによるペアチップ実装構造を示す図である。

【図16】従来の金バンプと異方性導電フィルムによるペアチップ実装構造組立て法を示す図である。

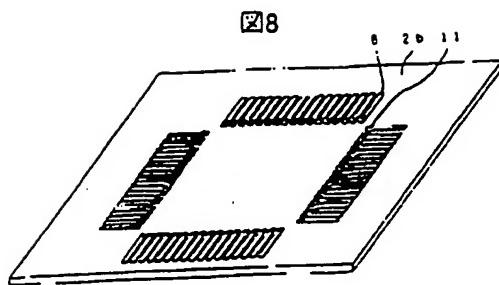
## 【符号の説明】

- 20 1…バンプレス半導体チップ、 2a…フレキシブルプリント基板、 2b…回路基板、 2c…回路基板、  
3…異方性導電フィルム、 4…突起、 5…加熱圧着ヘッド、 8…配線パターン(導体)、 9…エポキシ樹脂、 10…導電粒子、 11…導体からなる突起(接続パッド部)、 12…突起(接続パッド部)、 13…突起状の接続パッド部、 15…電極

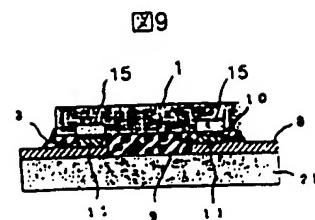
〔図7〕



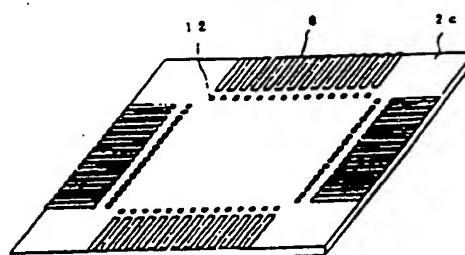
〔図8〕



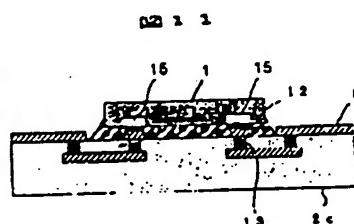
〔図9〕



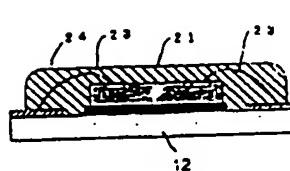
〔図10〕



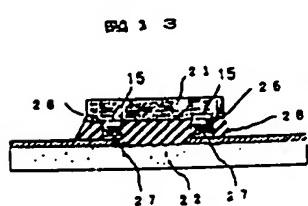
〔図11〕



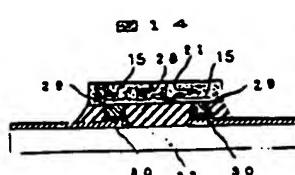
〔図12〕



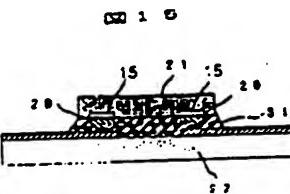
〔図13〕



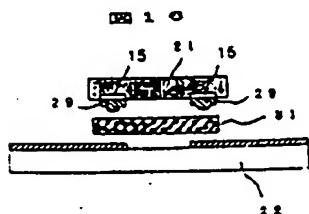
〔図14〕



〔図15〕



〔図16〕



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**